

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11119257 A**

(43) Date of publication of application: **30 . 04 . 99**

(51) Int. Cl.

G02F 1/136

G02F 1/1343

G09F 9/30

(21) Application number: **09287333**

(71) Applicant: **FUJITSU LTD**

(22) Date of filing: **20 . 10 . 97**

(72) Inventor: **TANAKA YOSHINORI
NASU YASUHIRO**

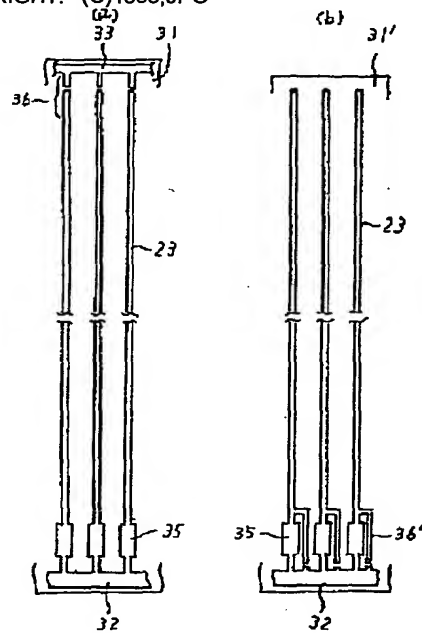
(54) TFT SUBSTRATE AND ITS PRODUCTION

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To make it possible to form a two-terminal element for static electricity countermeasure in a narrow area in TFT without increasing the number of processes in manufacturing processes for thin film transistor(TFT) substrate.

SOLUTION: Conductive patterns 32, 33 arranged on peripheral parts, the pattern 32, bus lines 23 and two-terminal elements 35 connected to the pattern 32, the bus lines 23 and the elements 35 connected to the pattern 33, or the bus lines 23 and a conductive patterns 36' connected to the pattern 32 are formed on a TFT(thin film transistor) substrate 31 or 31' obtained before the electric inspection of the bus lines 23 and each two-terminal element 35 is obtained by connecting resistor elements consisting of resistor members or a pair of MOS diodes in parallel in mutually reverse directions. In the manufacturing method for the TFT substrate 31 or 31', these elements 35 can be manufactured by the same number of masks as that of a conventional TFT substrate.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-119257

(43) 公開日 平成11年(1999) 4月30日

(51) Int.Cl. ⁸	識別記号	F I
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136 5 0 0
	1/1343	1/1343
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30 3 3 8

審査請求 未請求 請求項の数7 O L (全 14 頁)

(21) 出願番号 特願平9-287333

(22) 出願日 平成9年(1997)10月20日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 田中 義規

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72) 発明者 那須 安宏

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

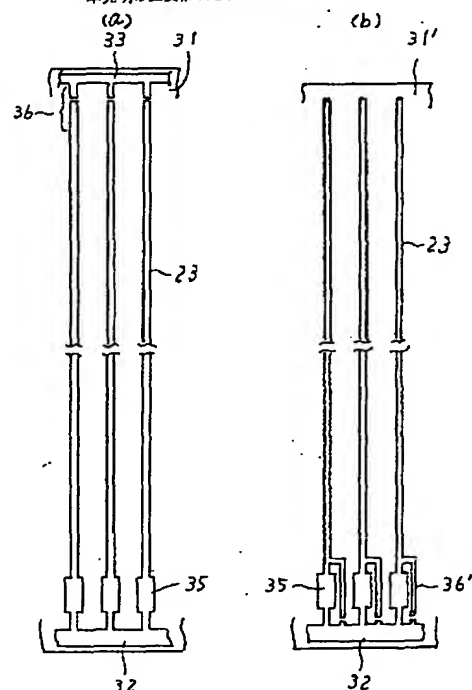
(54) 【発明の名称】 T F T基板とその製造方法

(57) 【要約】

【課題】 T F T基板とその製造方法に関し、製造過程における静電気対策用2端子素子を、工程数を増やすことなく狭領域に形成可能とする。

【解決手段】 バスライン23の電気的検査前のT F T基板31または31' に、周辺部の導体パターン32と33または導体パターン32、バスライン23と導体パターン32に接続された2端子素子35、バスライン23と導体パターン33に接続された導体パターン36またはバスライン23と導体パターン32に接続された導体パターン36' が形成され、2端子素子35は抵抗部材からなる抵抗素子または一対のM O Sダイオードを逆向きに並列接続したものとする。そして、本発明によるT F T基板31または31' の製造方法は、従来のT F T基板と同じマスク数で2端子素子35を製造できるようにする。

本発明の主要構成を説明する基本構成図



【特許請求の範囲】

【請求項1】 複数のゲートバスラインと、複数のドレインバスラインと、該ゲートバスラインとドレインバスラインとに接続する複数のTFTと、該TFTのそれぞれに接続する画素電極とが形成されたTFT基板において、

該ゲートバスラインおよびドレインバスラインの外側に配設された第1の導体パターンと、該ゲートバスラインおよびドレインバスラインのそれぞれと該第1の導体パターンとに接続する2端子素子と、該ゲートバスラインおよびドレインバスラインのそれぞれと該第1の導体パターンとに接続する第2の導体パターンが形成され、該2端子素子が抵抗部材にてなる抵抗素子であることを特徴とするTFT基板。

【請求項2】 前記2端子素子が前記画素電極を形成するITO膜から形成したものであることを特徴とする請求項1記載のTFT基板。

【請求項3】 複数のゲートバスラインと、複数のドレインバスラインと、該ゲートバスラインとドレインバスラインとに接続する複数のTFTと、該TFTのそれぞれに接続する画素電極とが形成されたTFT基板において、

該ゲートバスラインおよびドレインバスラインの外側に配設された第1の導体パターンと、該ゲートバスラインおよびドレインバスラインのそれぞれと該第1の導体パターンとに接続する2端子素子と、該ゲートバスラインおよびドレインバスラインのそれぞれと該第1の導体パターンとに接続する第2の導体パターンが形成され、前記2端子素子が、TFTからなる一対のMOSダイオードを逆向きに並列接続したものであることを特徴とするTFT基板。

【請求項4】 前記ゲートバスラインおよびドレインバスラインのそれぞれの同一端部に、前記2端子素子と第2の導体パターンが接続していることを特徴とする請求項1または3記載のTFT基板。

【請求項5】 前記ゲートバスラインおよびドレインバスラインのそれぞれの一方の端部に前記2端子素子が接続し、他方の端部に前記第2の導体パターンが接続していることを特徴とする請求項1または3記載のTFT基板。

【請求項6】 前記2端子素子の一対のMOSダイオードにおけるゲート電極とソースドレイン電極の一方との接続に必要な導体パターンおよび、前記ゲートバスラインまたはドレインバスラインと該2端子素子との間の接続に必要な導体パターンが、前記画素電極を形成するITO膜から形成したものであることを特徴とする請求項3記載のTFT基板。

【請求項7】 請求項6記載のTFT基板を製造するTFT基板の製造方法において、前記一対のMOSダイオードは、前記ゲート電極を前記

ゲートバスラインと同一の導電膜から形成し、前記ソースドレイン電極を前記ドレインバスラインと同一の導電膜から形成し、該ゲート電極とソースドレイン電極とを前記ITO膜から形成した導体パターンで接続させることを特徴とするTFT基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、TFT（薄膜トランジスタ）を用いたアクティブマトリクス型の液晶表示パネルに使用するTFT基板とその製造方法、特に製造過程における静電気対策を備えた構成とその製造方法に関する。

【0002】

【従来の技術】液晶表示パネルは一対の基板間に液晶を充填した構成であり、アクティブマトリクス方式の液晶表示パネルは、複数のドレインバスラインとゲートバスライン、その各交差部に位置するTFT、そのTFTのそれぞれに接続する表示用画素電極を形成したTFT基板と、画素電極に対向するコモン電極とカラーフィルタを形成したコモン基板との間に、液晶を充填した構成である。

【0003】一般に、ガラス基板を使用したコモン基板に形成されたカラーフィルタは、赤（R）と青（B）と緑（G）の透光性着色樹脂パターンを、画素電極に対応せしめ、ストライプ状または千鳥状等の配列にパターン形成している。

【0004】一般に、ガラス基板を使用したTFT基板は、複数本のゲートバスラインとドレインバスラインおよび、ゲートバスラインとドレインバスラインに接続する複数個のTFTおよび、そのTFTのそれぞれに接続する画素電極が形成されている。

【0005】図21はTFT基板の概略構成を示す平面図、図22は図21のTFTの断面図である。便宜上、層間絶縁層を省略した図21において、絶縁基板1（図22参照）の表面には、図の左右方向に延在する多数本のゲートバスライン2と、図の上下方向に延在する多数本のドレインバスライン3が形成され、ゲートバスライン2とドレインバスライン3の各交差点近傍に、TFT4が形成されている。

【0006】TFT4はゲートバスライン2から延在するゲート電極5と、ドレインバスライン3から延在するドレイン電極6と、チャンネル層7および、ドレイン電極6と同じ導電膜から形成されたソース電極8にて構成され、ソース電極8には、保護膜11（図22参照）に形成したコンタクトホール12を介して、画素電極9が接続されている。

【0007】図22において、絶縁基板1の表面のゲート電極5は、ゲートバスライン2と同じ導電膜例えばAl/Tiの2層膜から形成され、SiN等にてなるゲート絶縁膜10に覆われており、そのゲート絶縁膜10の

上に a-Si にてなるチャンネル層 7 が形成される。

【0008】ドレイン電極 6 およびソース電極 8 は、ドレインバスライン 3 と同じ導電膜例えば Ti / Al / Ti の 3 層膜から形成され、その上に形成された保護膜 11 にはコンタクトホール 12 が形成され、例えば SiN にてなる保護膜 11 の上に形成された画素電極 9 は、コンタクトホール 12 にてソース電極 8 に接続する。

【0009】なお、図中において 13 と 14 は、ドレイン電極 6 およびソース電極 8 と一緒にパターン形成された a-Si 層および n⁺ a-Si 層である。図 21 および 22 を用いて説明した TFT 基板の製造には 5 種類のマスク、即ち、ゲートバスライン 2 とゲート電極 5 をパターン形成する第 1 のマスクと、チャンネル層 7 をパターン形成する第 2 のマスクと、ドレインバスライン 3、ドレイン電極 6、ソース電極 8、a-Si 層 13 および n⁺ a-Si 層 14 をパターン形成する第 3 のマスクと、保護膜 11 とコンタクトホール 12 をパターン形成する第 4 のマスクと、画素電極 9 をパターン形成する第 5 のマスクを使用している。

【0010】かかる TFT 基板において、TFT アレイの不良（断線と短絡）を検出する方法として、予め充電された補助容量を画素毎に放電させ、その放電電流をモニタリングして行う方法が広く知られている。その検出方法において、測定対象である複数のゲートバスライン 2 とドレインバスライン 3 は、それぞれが電気的に高抵抗の素子を介して、放電電流モニタリング装置に接続させる必要がある。

【0011】図 23 は TFT アレイの不良検出用高抵抗素子の説明図（その 1）、図 24 は TFT アレイの不良検出用高抵抗素子の説明図（その 2）、図 25 は図 24 の高抵抗素子の回路図、図 26 は図 24 の高抵抗素子の等価回路図である。

【0012】バスラインと放電電流モニタリング装置との間に設ける高抵抗の 2 端子素子として最も簡単な構成は、図 23 の平面図に示す如く、TFT 基板に設けたバスライン 23（ゲートバスライン 2 またはドレインバスライン 3）と、放電電流モニタリング装置に接続するためバスライン 23 の外側、即ち絶縁基板 1 の周辺部に設けた導体パターン 15 を、高抵抗の抵抗素子 16、例えば面抵抗が大きい画素電極 9 と同じ ITO 膜から形成した抵抗素子 16 で接続することである。

【0013】なお、図 23 において 17 はバスライン 23 の一方の端部に設けた外部接続部（TAB フィルムを接続する部分、TAB: Tape Automated Bonding）であり、ITO 膜から形成された抵抗素子 16 は、必要な抵抗値を確保するため、図示する如くジグザグ状パターンに形成する。

【0014】かかる抵抗素子 16 は、検出精度を高くするため抵抗値をさらに高くしようとすると、その形成に要する成領域が拡大し、大形の絶縁基板 1 が必要とな

り、抵抗素子 16 で導体パターン 15 に接続されるまでのバスライン 23 は、電気的に浮いた状態になり静電気に対し無防備である。

【0015】そこで、電気抵抗を利用した抵抗素子 16 より形成領域を狭くできる 2 端子素子として、図 24 に示す 2 端子素子 18、即ち TFT の ON 抵抗値を利用した 2 端子素子 18 が出現した。

【0016】便宜上、層間絶縁層を省略した平面図である図 24 において、バスライン 23 の外部接続部 17 と導体パターン 15 に接続する 2 端子素子 18 は、一対の TFT（MOS ダイオード）19 と 20 を逆向きに並列接続した構成である。

【0017】TFT 19 と 20 は、ゲート電極 21 とそのリード部 22、ソースドレイン電極 24 および 25 とそれらのリード部 26 または 27、チャンネル層 28 からなり、TFT 19 のリード部 22 と TFT 20 のリード部 26 は、図示しない層間絶縁層に設けたコンタクトホール 29 を介して接続し、TFT 20 のリード部 22 と、TFT 19 のリード部 26 は、図示しない層間絶縁層に設けたコンタクトホール 30 を介して接続されるようになる。

【0018】かかる構成の 2 端子素子 18 の回路図およびその等価回路図は、図 25 および図 26 で表され、一方の端子を A とし他方の端子を B としたとき、電位的に A > B の場合には TFT 19 が開いて A ~ B 間が接続する半面、電位的に A < B の場合には TFT 20 が開いて A ~ B 間が接続するようになる。

【0019】2 端子素子 18 の製造工程においてゲート電極 21 等の所要パターンは、TFT 4（図 21 参照）の所要膜から、TFT 4 と同時に形成可能である。しかし、コンタクトホール 29 と 30 は、保護膜 11 の形成前に形成する必要があり、従って TFT 4 のコンタクトホール 12 とは別工程になる。

【0020】即ち、2 端子素子 18 を備えない TFT 基板は、前述した如く 5 種類のマスクを使用し製造可能になるが、2 端子素子 18 を備えた TFT 基板は、コンタクトホール 29 および 30 を形成するためのマスク、即ちゲート絶縁膜 10 にコンタクトホール 29 と 30 を形成するためのマスクを、前記 5 種類のマスクとは別に準備する必要がある。

【0021】従って、2 端子素子 18 を設けた TFT 基板の製造には 6 種類のマスクを必要とし、そのことで製造工程が増え、製造コストが高騰するという問題点があった。

【0022】なお、所要のマスク数を増やすことなく 2 端子素子 18 を形成させる、即ち、コンタクトホール 29 と 30 をコンタクトホール 12 と同一工程で形成し、2 端子素子 18 のゲート電極 21 とソースドレイン電極 24 または 25 との接続を、画素電極 9 と同じ導電膜（ITO 膜）から形成しようとすると、2 端子素子 18

が完成するまで、ゲートバスライン2とドレインバスライン3は電気的に浮いた状態になり、その間の製造過程における静電気障害が問題になる。

【0023】

【発明が解決しようとする課題】以上説明したように2端子素子18は、高抵抗の抵抗素子16の形成に要する領域より狭い領域に形成可能、かつ、抵抗素子16より早い時点でバスライン23と導体パターン15を接続させる（静電気対策が完了する）ようになる。即ち、静電気対策としての抵抗素子16が画素電極9と同時に完成するのに対し、静電気対策としての2端子素子18は、画素電極9の形成より早い時点、即ちゲートバスライン2とドレインバスライン3が形成された時点で導体パターン15に接続されるようになる。

【0024】従って、2端子素子18を形成した基板は、抵抗素子16を形成した基板より小形で済むようになるが、必要とするマスク数即ち製造工程が増え製品コストが上昇することになる。

【0025】かかる製造コストの上昇を抑えるため、2端子素子18と同等の2端子素子を、TFT4および画素電極9の形成と同じマスク数で形成するには、2端子素子18におけるリード部22と26の接続部を重ならないようにし、その接続を画素電極9と同じITO膜から形成したパターンで行うようにすればよい。

【0026】しかし、その場合には静電気対策用2端子素子の完成が2端子素子18より工程的に遅れ、その遅れ時間内におけるゲートバスライン2とドレインバスライン3が、静電気に対し無防備になるという問題点が発生する。

【0027】

【課題を解決するための手段】前記問題点を解決する本発明の第1のTFT基板は、複数のゲートバスラインと、複数のドレインバスラインと、該ゲートバスラインとドレインバスラインとに接続する複数のTFTと、該TFTのそれぞれに接続する画素電極とが形成されたTFT基板において、該ゲートバスラインおよびドレインバスラインの外側に配設された第1の導体パターンと、該ゲートバスラインおよびドレインバスラインのそれぞれと該第1の導体パターンとに接続する2端子素子と、該ゲートバスラインおよびドレインバスラインのそれぞれと該第1の導体パターンとに接続する第2の導体パターンが形成され、該2端子素子が抵抗部材にてなる抵抗素子である。

【0028】前記問題点を解決する本発明の第2のTFT基板は、前記本発明の第1のTFT基板において、前記2端子素子が前記画素電極を形成するITO膜から形成されている。

【0029】前記問題点を解決する本発明の第3のTFT基板は、複数のゲートバスラインと、複数のドレインバスラインと、該ゲートバスラインとドレインバスラインとに接続する複数のTFTと、該TFTのそれぞれに接続する画素電極とが形成されたTFT基板において、該ゲートバスラインおよびドレインバスラインのそれぞれと該第1の導体パターンとに接続する2端子素子と、該ゲートバスラインおよびドレインバスラインのそれぞれと該第1の導体パターンとに接続する第2の導体パターンが形成され、該2端子素子が、TFTからなる一対のMOSダイオードを逆向きに並列接続したものである。

【0030】前記問題点を解決する本発明の第4のTFT基板は、前記本発明の第1のTFT基板または第3のTFT基板において、前記ゲートバスラインおよびドレインバスラインの同一端に、前記2端子素子と第2の導体パターンが接続している。

【0031】前記問題点を解決する本発明の第5のTFT基板は、前記本発明の第1のTFT基板または第3のTFT基板において、前記ゲートバスラインおよびドレインバスラインの一方の端部に前記2端子素子が接続し、他方に前記第2の導体パターンが接続している。

【0032】前記問題点を解決する本発明のTFT基板の製造方法は、前記本発明の第6のTFT基板を製造するに際し、前記一対のMOSダイオードは、前記ゲート電極を前記ゲートバスラインと同一の導電膜から形成し、前記ソースドレイン電極を前記ドレインバスラインと同一の導電膜から形成し、該ゲート電極とソースドレイン電極とを接続する前記導体パターンを、前記画素電極と同一のITO膜から形成することである。

【0033】前記本発明の第1および第3のTFT基板は、ゲートバスラインおよびドレインバスラインの電気試験に使用する2端子素子が、ゲートバスラインとドレインバスラインおよび表示用TFTの製造工程の簡単な変更、即ちマスクパターンの変更で完成可能となり、抵抗部材または一対のMOSダイオードから構成した2端子素子の製造過程においてバスラインの静電気は、前記第2の導体パターンを通して前記第1の導体パターンから逃がすことができる。

【0034】ただし、ゲートバスラインおよびドレインバスラインの電気試験の支障となる前記第2の導体パターンは、ゲートバスラインおよびドレインバスラインから切り離すことになる。

【0035】前記本発明の第2のTFT基板は、前記本発明の第1のTFT基板において、抵抗部材にてなる2端子素子を、画素電極と同時に形成可能にする。前記本発明の第4のTFT基板は、前記本発明の第1または第3のTFT基板において、バスラインの電气的検査に必要な2端子素子と第2の導体パターンをバスラインの同一端に接続して形成すること、即ちバスラインの電气的検査に必要なスペースを基板の2側（ゲートバスライン用とドレインバスライン用）に設ける。そのことで、1

枚の基板を分割し複数枚（例えば4枚）のTFT基板を得るTFT基板の製造方式において、基板の効率化が可能になると共に、基板分割後の周辺処理が容易になる。

【0036】前記本発明の第5のTFT基板は、前記本発明の第1または第3のTFT基板において、バスラインの電気的検査に必要な2端子素子と第2の導体パターンをバスラインの両端に分けて形成すること、即ちバスラインの電気的検査に必要なスペースを基板の4側に設ける。そのことで、バスラインの微細ピッチに対応容易になると共に、2端子素子と第2の導体パターンの形成が単純化される。

【0037】前記本発明の第6のTFT基板は、前記本発明の第3TFT基板に対し、従来のTFT基板の製造工程に必要なマスクを増やすことなく、即ち2端子素子においてゲート電極とソースドレイン電極の一方を接続するコンタクトホールは、画素電極接続用のコンタクトホールと同一工程で穿設し、該ゲート電極とソースドレイン電極の一方を接続する導体パターンを画素電極と同一ITO膜から形成することで、従来と同じ5枚のマスクで製造可能となる。

【0038】なお、前記本発明の第1～第4のTFT基板は、従来のTFT基板の製造工程に比べ第2の導体パターンの切断工程が増えることになる。しかし、例えばレーザ光を使った前記第2の導体パターンの切断工程は、図24に示す2端子素子18を設けることで所要マスクが1枚増えることに比べ、コストの上昇は遙に僅少で済む。

【0039】前記本発明によるTFT基板の製造方法は、前記本発明によるTFT基板の実用的かつ合理的な製造方法を提供するものである。

【0040】

【発明の実施の形態】図1は本発明の主要構成を説明する基本構成図、図2は抵抗部材からなる図1の2端子素子の平面図、図3はTFTからなる図1の2端子素子の詳細な平面図、図4～図8は図3の2端子素子の製造方法の説明図である。ただし、図3～図8において各種絶縁層は、便宜上、図示を省略している。

【0041】図1(a)においてTFT基板31は、複数のバスライン23の長さ方向の両外側の基板周辺部（図の上端部と下端部）に、一対の第1の導体パターン32と33を形成し、複数のバスライン23の一方の端部（下端部）と導体パターン32とは2端子素子35で接続し、バスライン23の他方の端部（上端部）と導体パターン33との間には、2端子素子35の完成後に中間部（またはバスライン23との境界部）で切断された第2の導体パターン36が形成されている。

【0042】図1(b)においてTFT基板31'は、複数のバスライン23の長さ方向の一方の外側の基板周辺部（図の下端部）に、第1の導体パターン32を形成し、複数のバスライン23の下端部と導体パターン32

とは2端子素子35で接続し、バスライン23の下端部と導体パターン32を接続する第2の導体パターン36'は、2端子素子35の完成後に中間部（またはバスライン23との境界部）で切断されている。

【0043】図2において、2端子素子35''は図1の2端子素子35に相当し、バスライン23の上端部には抵抗部材例えばITOにてなる2端子素子35''の一端が接続し、例えば厚さが700Å、幅が10μm、長さが1000μmで抵抗値が5KΩの2端子素子35''の他端は、2端子素子35''より幅広のITOにてなる導体パターン321に連通している。

【0044】そして、バスライン23の下端部の外部接続部17から延在し、バスライン23と同一導電膜から形成された導体パターン36は、2端子素子35''の形成後に図示する如く中間部が切断されている。

【0045】なお、図において33はバスライン23および導体パターン36と同一導電膜から基板周辺部に形成された導体パターンであり、画素電極9（図21参照）と同一ITO膜から形成した2端子素子35''とバスライン23は、図示しない層間絶縁層に形成したコンタクトホール56を介して接続される。

【0046】図3において、ゲートバスラインの一方の端部に連通する外部接続部（外部回路端子をTAB接続する部分）17と導体パターン32とは、2端子素子35によって接続されている。

【0047】2端子素子35の回路構成は、従来の2端子素子18と同じく一対のTFT（MOSダイオード）37-1と37-2、即ち従来のTFT19と20に相当するTFT37-1と37-2を逆方向の並列に接続している。

【0048】TFT37-1と37-2は、ゲート電極38（図4参照）とそのリード部39、一対のソースドレイン電極40および41とそれらのリード部42および43、チャンネル層44、ゲート電極38のリード部39とソースドレイン電極40のリード部42を電気的に接続する導体パターン46および47にて構成し、TFT37-1と外部接続部17とは導体パターン45によって接続し、TFT37-2と導体パターン32とは導体パターン48によって接続されている。

【0049】導体パターン45～48は、便宜上実線で記入したコンタクトホール49～55によって前記接続を行っており、TFT37-1のソースドレイン電極40とTFT37-2のソースドレイン電極41、TFT37-2のソースドレイン電極40とTFT37-1のソースドレイン電極41は、リード部43により接続されている。

【0050】導体パターン45を形成することで外部接続部17に接続し、導体パターン48を形成することで導体パターン32に接続される2端子素子35は、2端子素子35を設けないTFT基板と同じく5枚のマスク

を使用し、ただし2端子素子35の形成に必要な所要パターンを追加した5枚のマスクを使用して形成可能となり、2端子素子35が完成するとゲートバスライン2の静電気は、2端子素子35および導体パターン32を介して除去されるようになる。

【0051】そして、図1において2端子素子35が完成するとバスライン23の静電気は、2端子素子35および導体パターン32を介して除去されるようになるが、2端子素子35が完成する前、即ち導体パターン45～48が形成される前のバスライン23の静電気は、中間部を切断してない導体パターン36または36'を介して除去可能となり、2端子素子35が完成後の導体パターン36および36'は、バスライン23の電気的検査に支障となるため、バスライン23から切り離す(中間部を切断する)必要がある。

【0052】図4は、ゲートバスライン2(図21参照)の外部接続部17と導体パターン32とゲート電極38およびそのリード部39の製造工程の説明図であり、洗浄処理が終わった絶縁基板1(図22参照)の表面には導電膜、例えばAl/Tiの2層膜を被着し、その導電膜からゲートバスライン2と共に、外部接続部17と導体パターン32とゲート電極38および、リード部39をパターン形成する。

【0053】外部接続部17および導体パターン32には、ソースドレイン電極40のリード部42およびソースドレイン電極41のリード部43を接続するための端子17'と32'を形成する。

【0054】なお、図4に示すゲート電極38等と共に、外部接続部17が連通するゲートバスライン2、ゲートバスライン2に連通するゲート電極5(図22参照)、ゲートバスライン2の他端に連通する導体パターン36(図1参照)、導体パターン36が接続する導体パターン33(図1参照)が同時に形成されるが、それらは省略し図示されていない。

【0055】図5は、チャンネル層44の製造工程の説明図であり、ゲート電極38等のパターン形成が終わった絶縁基板1の表面に、ゲート絶縁膜10(図22参照)とチャンネル層44を形成するための膜、例えばSiN膜とa-Si膜とCH-SiN膜を被着したのち、CH-SiN膜からTFT4(図21参照)のチャンネル層7と共にTFT37-1、37-2のチャンネル層44をパターン形成する。

【0056】図6は、ソースドレイン電極40および41とそれらのリード部42および43の製造工程の説明図であり、チャンネル層44のパターン形成が終わった絶縁基板1の表面に導電膜、例えばTi/Al/Tiの3層膜を被着し、その導電膜からドレインバスライン3(図21参照)と共に一対のソースドレイン電極40および41と、ソースドレイン電極40に連通するリード部42と、ソースドレイン電極40と41に連通するリ

ード部43をパターン形成する。

【0057】図7は、コンタクトホール49～55の製造工程の説明図であり、図31および21のコンタクトホール12と共に形成されるコンタクトホール49～55は、保護層11をまたは保護層11とゲート絶縁膜10を貫通し、保護層11またはゲート絶縁膜10の下に形成された端子17'と32'、リード部42、ゲート電極38のリード部39、導体パターン32の所定部を露呈させる。

10 【0058】即ち、コンタクトホール49は外部接続部17の端子17'とTFT37-1のソースドレイン電極40のリード部42の接続用、コンタクトホール50と51はTFT37-1のゲート電極38のリード部39とリード部42との接続用、コンタクトホール52と53はTFT37-2のゲート電極38のリード部39とソースドレイン電極40のリード部42との接続用、コンタクトホール54と55はTFT37-2のリード部42と導体パターン32との接続用である。

20 【0059】図8は、2端子素子35を完成させる導体パターン製造工程の説明図であり、導体パターン45～48は画素電極9(図21参照)と同じITO膜から形成しており、導体パターン45～48の形成によって2端子素子35が完成し、完成した2端子素子35は、外部接続部17および導体パターン32と電気的に接続される。

30 【0060】図9はTFTからなりドレインバスラインに接続する2端子素子の平面図である。便宜上、層間絶縁層を省略した図9において、図3の2端子素子35と同時に形成され、ドレインバスライン3(図21参照)の一方の端部に連通する外部接続部17"と、外部接続部17"の外側の基板周辺部の導体パターン32"とに接続する2端子素子35'は、一対のTFT(MOSダイオード)37-1'と37-2'、即ち従来のTFT19と20に相当するTFT37-1'と37-2'を逆方向の並列に接続した構成である。

40 【0061】2端子素子35のTFT37-1と37-2に相当するTFT37-1'と37-2'は、ゲート電極38(図4参照)とそのリード部39、一対のソースドレイン電極40および41とそれらのリード部42および43、チャンネル層44、ゲート電極38とソースドレイン電極40を電気的に接続する導体パターン46または47にて構成し、TFT37-1'のリード部42と外部接続部17"およびTFT37-2'のリード部42は、ドレインバスライン3形成用導電膜から一体に形成されている。

50 【0062】導体パターン46と47は、便宜上実線で記入したコンタクトホール50～53によって前記接続を行っており、TFT37-1'のソースドレイン電極40とTFT37-2'のソースドレイン電極41、TFT37-2'のソースドレイン電極40とTFT37-1'の

ソースドレイン電極 41 は、リード部 43 により接続されている。

【0063】導体パターン 46 と 47 を形成することで、外部接続部 17'' と導体パターン 32'' に接続される 2 端子素子 35' は、2 端子素子 35 と同じく 5 枚のマスクを使用した TFT 基板の製造工程内で形成可能となり、2 端子素子 35' が完成するとドレインバスライン 3 の静電気は、2 端子素子 35' および導体パターン 32'' を介して除去されるようになる。

【0064】図 9 において、外部接続部 17'' が連通するドレインバスライン 3 と、そのドレインバスライン 3 の他端が接続する基板周辺部の導体パターン 33 (図 1 参照) と、ドレインバスライン 3 と導体パターン 33 とに接続し中間部が切断された導体パターン 36 (図 1 参照) 3 と、ドレインバスライン 3 と同一導電膜から形成された TFT 4 (図 2 1 参照) のドレイン電極 6 とソース電極 8 は図示を省略している。ただし、導体パターン 36 の中間部は 2 端子素子 35' が完成してから切断することになる。

【0065】図 10~13 は図 9 の 2 端子素子 35' の製造方法の説明図である。ただし、図 10~13 において層間絶縁層は便宜上省略している。図 10 は、ゲート電極 38 とそのリード部 39 の製造工程の説明図であり、未形成のドレインバスライン 3 に対応するゲート電極 38 とリード部 39 は、例えば Al/Ti の 2 層の導電膜から図示しないゲートバスライン 2 および、そのゲートバスライン 2 に対応する 2 端子素子 35 の TFT 37-1, 37-2 のゲート電極 38 およびリード部 39 と共に、パターン形成する。

【0066】図 11 は、チャンネル層 44 の製造工程の説明図であり、ゲート電極 38 を覆うチャンネル層 44 は TFT 37-1, 37-2 のチャンネル層 44 と同一膜、例えば SiN と a-Si と CH-SiN の 3 層膜からパターン形成する。

【0067】図 12 は、ソースドレイン電極 40 および 41 とそれらのリード部 42 および 43 の製造工程の説明図であり、ソースドレイン電極 40 と 41 およびそれらのリード部 42 と 43 は、チャンネル層 44 のパターン形成が終わった絶縁基板 1 の表面に形成した導電膜、例えば Ti/Al/Ti の 3 層の導電膜から、ドレインバスライン 3 (図 2 1 参照) および、ドレインバスライン 3 に連通する外部接続部 17'' および、基板周辺部の導体パターン 32'' と同時にパターン形成する。

【0068】なお、TFT 37-1' のソースドレイン電極 40 のリード部 42 は、外部接続部 17'' に連通し、TFT 37-2' のソースドレイン電極 40 のリード部 42 は、導体パターン 32'' に連通している。

【0069】図 13 は、コンタクトホール 50~53 の製造工程の説明図であり、コンタクトホール 50~53 は、保護層 11 (図 2 2 参照) または保護層 11 を通

てゲート絶縁膜 10 (図 2 2 参照) を貫通し、保護層 11 またはゲート絶縁膜 10 の下に形成されたリード部 42 とゲート電極 38 の端子部 39 の所定部を露呈させる。

【0070】即ち、コンタクトホール 50 と 51 は、TFT 37-1' のソースドレイン電極 40 のリード部 42 とゲート電極 38 のリード部 39 との接続用、コンタクトホール 52 と 53 は、TFT 37-2' のゲート電極 38 のリード部 39 とソースドレイン電極 40 のリード部 42 との接続用である。

【0071】図 14 は、2 端子素子 35' を完成させる導体パターン 46 と 47 の製造工程の説明図であり、導体パターン 46 と 47 は画素電極と同じ ITO 膜から形成しており、導体パターン 46 と 47 の形成によって 2 端子素子 35' が完成すると共に、2 端子素子 35' は、外部接続部 17'' および導体パターン 32'' と電気的に接続される。

【0072】図 15 はゲートバスラインの同一端に 2 端子素子と静電気対策用導体パターンを形成した第 1 の実施例の詳細な平面図、図 16 はドレインバスラインの同一端に 2 端子素子と静電気対策用導体パターンを形成した実施例の詳細な平面図、図 17 はゲートバスラインの同一端に 2 端子素子と静電気対策用導体パターンを形成した第 2 の実施例の詳細な平面図、図 18~図 20 は図 17 の 2 端子素子等の製造方法の説明図である。ただし、図 15~17 において層間絶縁層は、便宜上、省略し図示されていない。

【0073】図 15 において、外部接続端子 17 とその外側の基板周辺部に形成された導体パターン 32 には、2 端子素子 35 と、2 端子素子 35 の完成後に下端近傍の中間部で切断された導体パターン 36' が接続している。

【0074】2 端子素子 35 の構成とその製造方法は、図 3~図 8 を用いて説明した 2 端子素子 35 と同一であり、それらの説明を省略する。そして、中間部で切断される前の導体パターン 36' は、外部接続端子 17 および導体パターン 32 と同一導電膜から形成している。

【0075】このように、2 端子素子 35 と導体パターン 32 および 36' を基板の同一周辺部に形成した TFT 基板は、2 端子素子 35 と導体パターン 36' を異なる基板周辺部に形成した TFT 基板より、不要となった 2 端子素子 35 と導体パターン 32 および 36' の除去、即ち基板周辺部の切除が容易になると共に、1 枚の絶縁原板に例えば 4 枚の TFT 基板に必要な素子を形成して分割する TFT 基板の製造方法において、絶縁原板の歩留りがよくなるという利点がある。

【0076】図 16 において、外部接続端子 17'' と基板周辺部に形成された導体パターン 32'' には、2 端子素子 35' と、2 端子素子 35' の完成後に下端近傍の中間部で切断された導体パターン 36' が接続してい

る。

【0077】2端子素子35'の構成とその製造方法は、図9～図14を用いて説明した2端子素子35'と同一であり、それらの説明を省略する。そして、中間部で切断される前の導体パターン36'は、外部接続端子17''および導体パターン32''と同一導電膜から形成している。

【0078】このように、2端子素子35'と導体パターン32''および36'を基板の同一周辺部に形成したTFT基板は、2端子素子35'と導体パターン36'を異なる基板周辺部に形成したTFT基板より、不要となった2端子素子35と導体パターン32''および36'の除去、即ち基板周辺部の切除加工が容易になると共に、1枚の絶縁原板に例えば4枚のTFT基板に必要な素子を形成して分割するTFT基板の製造方法において、絶縁原板の歩留りがよくなるという利点がある。

【0079】図17において、外部接続端子17と基板周辺部に形成された導体パターン32には、2端子素子35が接続し、外部接続端子17と導体パターン32よりも外側の導体パターン32''とは、2端子素子35の完成後に下端近傍の中間部で切断された導体パターン36''が接続している。

【0080】ただし、導体パターン36''の上部は、外部接続端子17に添う如くパターン形成され、外部接続端子17と導体パターン36''とは、保護膜11（図32参照）に形成したコンタクトホール60を介し、2端子素子35の導体パターン49～48と同じITO膜から形成された導体パターン61によって接続されている。

【0081】2端子素子35の構成とその製造方法は、図3～図8を用いて説明した2端子素子35と同一であり、それらの説明を省略する。そして、コンタクトホール60はコンタクトホール49～55と同一工程で形成し、導体パターン36''は、2端子素子35のソースドレイン電極40と41および導体パターン32''と同一導電膜から形成している。

【0082】ただし、導体パターン45は導体パターン61の一部として形成しており、導体パターン46～48および61は、同じITO膜から形成している。図18は導体パターン32''と36''およびソースドレイン電極40と41とそれらのリード部42と43の製造工程の説明図であり、2端子素子35を構成するゲート電極38（図示されず）とそのリード部39およびチャンネル層44は、図4と図5を用いて説明した方法で既に形成済みである。

【0083】即ち、導体パターン32''と36''およびソースドレイン電極40と41とそれらのリード部42と43は、チャンネル層44のパターン形成が終わった絶縁基板の表面に導電膜、例えばTi/Al/Tiの3層膜を被着し、その導電膜からドレインバスライン3

（図21参照）と共に形成する。ただし、導体パターン36''の上部は、外部接続端子17に添って形成されている。

【0084】図19は、コンタクトホール49～55および60の製造工程の説明図であり、コンタクトホール49～55と60は、保護層11または保護層11とゲート絶縁膜10（図22参照）を貫通し、保護層11またはゲート絶縁膜10の下に形成された端子17'と32'（図4参照）、リード部42と39、導体パターン32の所定部を露呈させる。

【0085】コンタクトホール49は、外部接続部17の端子17'とTFT37-1のソースドレイン電極40のリード部42の接続用、コンタクトホール50と51はTFT37-1のゲート電極38のリード部39とリード部42との接続用、コンタクトホール52と53はTFT37-2のゲート電極38のリード部39とソースドレイン電極40のリード部42との接続用、コンタクトホール54と55はTFT37-2のリード部42と導体パターン32との接続用である。

【0086】図20は、2端子素子35を完成させる導体パターン45～48および61の製造工程の説明図であり、導体パターン45～48と61は画素電極9（図21参照）と同一導体層、例えばITO膜から画素電極9と同時にパターン形成する。

【0087】

【発明の効果】以上説明したように本発明によるTFT基板は、バスラインの電氣的検査に必要な2端子素子と、該2端子素子の製造過程におけるバスラインの静電気を除去する第2の導体パターンを有するため、バスラインの静電気に対する安全性が従来より改善されるようになる。

【0088】そして、本発明によるTFT基板の製造方法は、使用するマスクのパターンを必要に応じて変更し、第2の導体パターンはバスラインの電氣的検査に先立って切断する必要があるが、TFT基板そのものは従来と同じ製造工程・同じマスク数で製造される、即ち、殆どコストアップなしに、バスラインの静電気対策が充実したTFT基板を提供できるようにする。

【図面の簡単な説明】

【図1】本発明の主要構成を説明する基本構成図である。

【図2】抵抗部材からなる図1の2端子素子の平面図である。

【図3】TFTからなる図1の2端子素子の詳細な平面図である。

【図4】図3の2端子素子の製造方法の説明図（その1）である。

【図5】図3の2端子素子の製造方法の説明図（その2）である。

【図6】図3の2端子素子の製造方法の説明図（その

3) である。

【図 7】図 3 の 2 端子素子の製造方法の説明図 (その 4) である。

【図 8】図 3 の 2 端子素子の製造方法の説明図 (その 5) である。

【図 9】TFT からなりドレインバスラインに接続する 2 端子素子の平面図である。

【図 10】図 9 の 2 端子素子の製造方法の説明図 (その 1) である。

【図 11】図 9 の 2 端子素子の製造方法の説明図 (その 2) である。

【図 12】図 9 の 2 端子素子の製造方法の説明図 (その 3) である。

【図 13】図 9 の 2 端子素子の製造方法の説明図 (その 4) である。

【図 14】図 9 の 2 端子素子の製造方法の説明図 (その 5) である。

【図 15】ゲートバスラインの同一端に 2 端子素子と静電気対策用導体パターンを形成した第 1 の実施例の詳細な平面図である。

【図 16】ドレインバスラインの同一端に 2 端子素子と静電気対策用導体パターンを形成した実施例の詳細な平面図である。

【図 17】ゲートバスラインの同一端に 2 端子素子と静電気対策用導体パターンを形成した第 2 の実施例の詳細な平面図である。

【図 18】図 17 の 2 端子素子等の製造方法の説明図 (その 1) である。

【図 19】図 17 の 2 端子素子等の製造方法の説明図 (その 2) である。

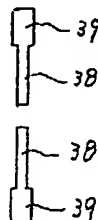
【図 20】図 17 の 2 端子素子等の製造方法の説明図 (その 3) である。

【図 21】TFT 基板の概略構成を示す平面図である。

【図 22】図 21 の TFT の断面図である。

【図 10】

図 9 の 2 端子素子の製造方法の説明図 (その 1)



【図 23】TFT アレイの不良検出用高抵抗素子の説明図 (その 1) である。

【図 24】TFT アレイの不良検出用高抵抗素子の説明図 (その 2) である。

【図 25】図 24 の高抵抗素子の回路図である。

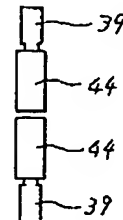
【図 26】図 24 の高抵抗素子の等価回路図である。

【符号の説明】

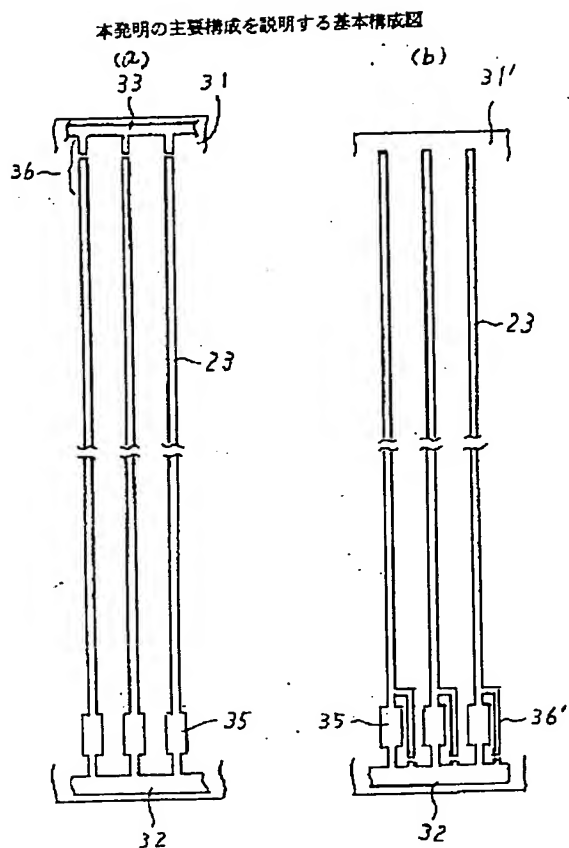
- 1 絶縁基板
- 2 ゲートバスライン
- 3 ドレインバスライン
- 4 画素電極用の TFT
- 5、38 ゲート電極
- 6 ドレイン電極
- 7 チャンネル層
- 8 ソース電極
- 9 画素電極
- 10 ゲート絶縁膜
- 11 保護膜
- 17、17' バスラインの外部接続部
- 20 23 バスライン (ゲートバスラインまたはドレインバスライン)
- 31、31' TFT 基板
- 32、321 基板周辺部の導体パターン (第 1 の導体パターン)
- 33、36、36'、36'' 2 端子素子完成後に中間部で切断された導体パターン (第 2 導体パターン)
- 35、35'、35'' 2 端子素子
- 37-1、37-2、37-1'、37-2' 2 端子素子構成用の TFT
- 30 40、41 ソースドレイン電極
- 45~48 2 端子素子の電極間接続用の導体パターン
- 49~55 2 端子素子の電極間接続用のコンタクトホール

【図 11】

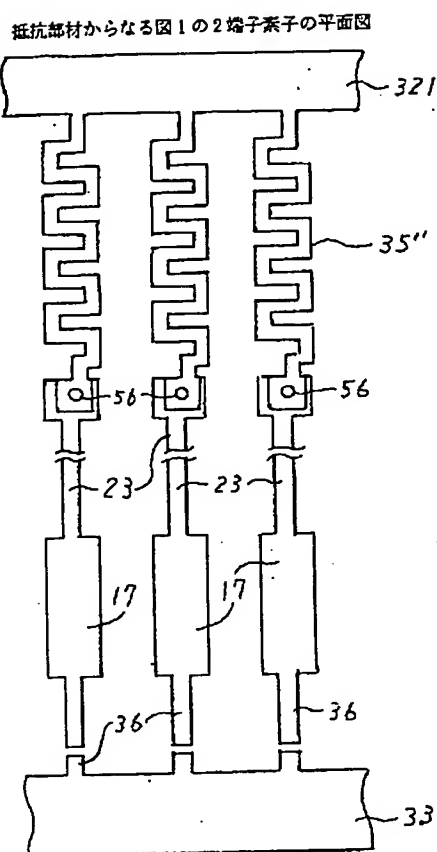
図 9 の 2 端子素子の製造方法の説明図 (その 2)



【図 1】

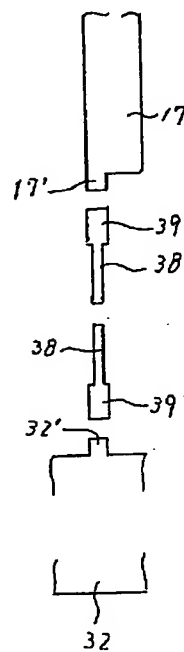


【図 2】



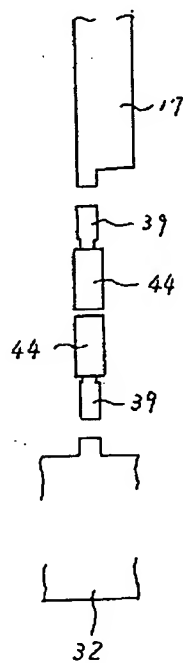
【図 4】

図 3 の 2 端子素子の製造方法の説明図 (その 1)



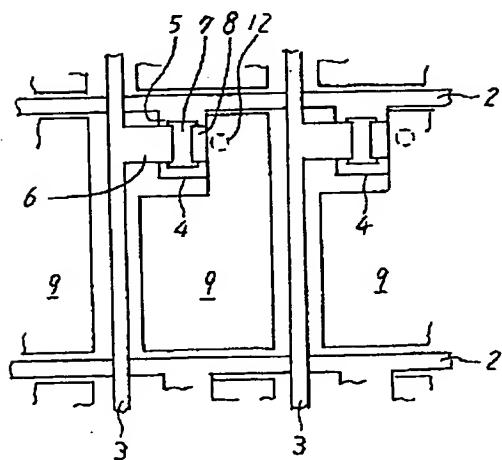
【図 5】

図 3 の 2 端子素子の製造方法の説明図 (その 2)



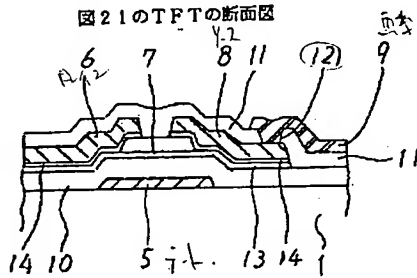
【図 2 1】

TFT 基板の概略構成を示す平面図



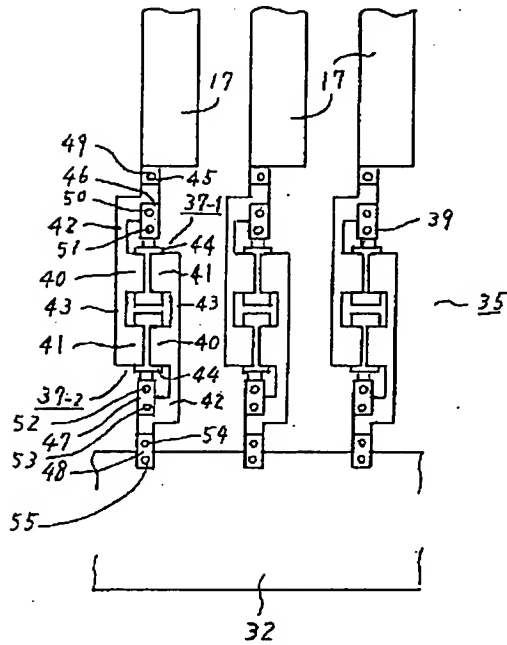
【図 2 2】

図 2 1 の TFT の断面図



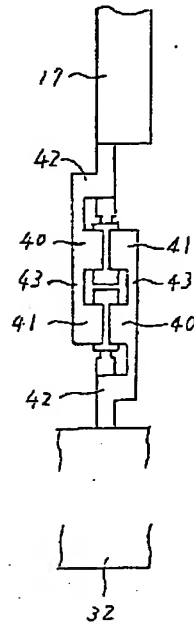
【図 3】

TFTからなる図1の2端子素子の詳細な平面図



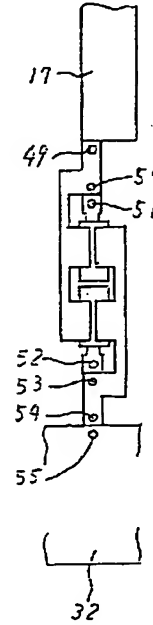
【図 6】

図3の2端子素子の製造方法の説明図(その3)



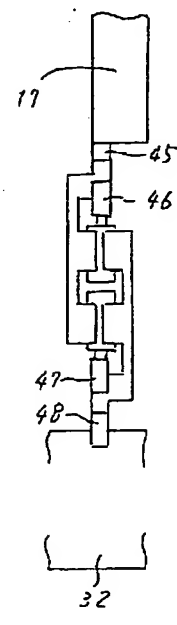
【図 7】

図3の2端子素子の製造方法の説明図(その4)



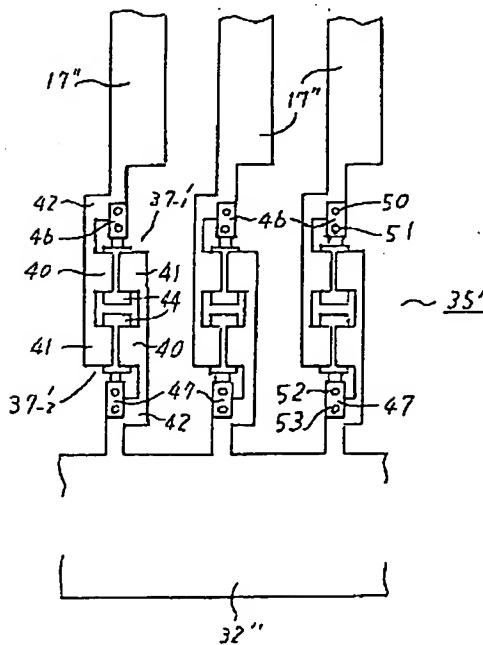
【図 8】

図3の2端子素子の製造方法の説明図(その5)



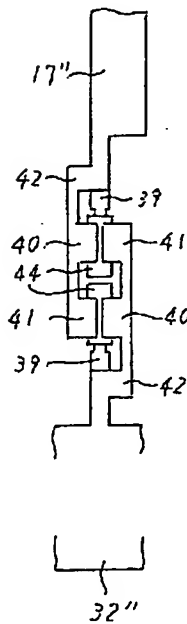
【図 9】

TFTからなりドレインバスラインに接続する2端子素子の平面図



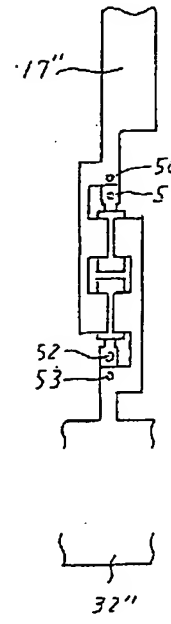
【図 12】

図9の2端子素子の製造方法の説明図(その3)



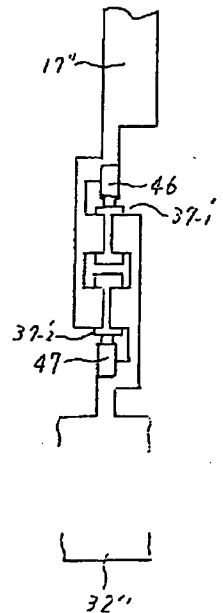
【図 13】

図9の2端子素子の製造方法の説明図(その4)



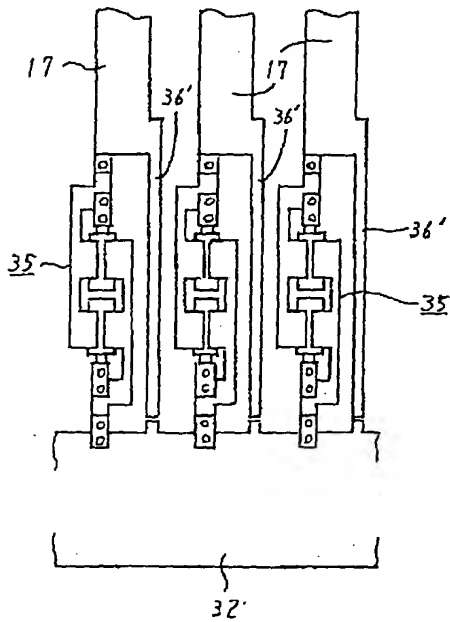
【図 14】

図9の2端子素子の製造方法の説明図(その5)



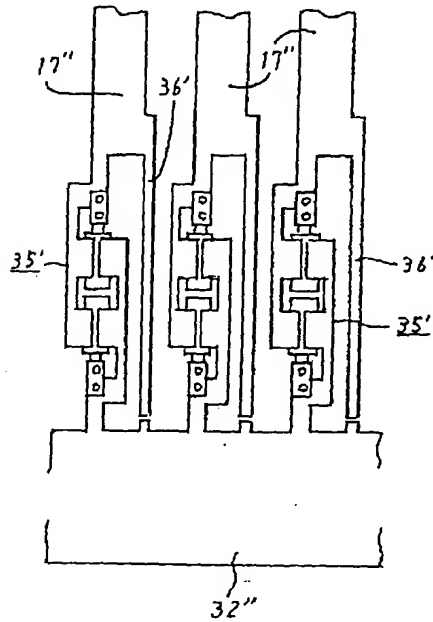
【図15】

ゲートバスラインの同一端に2端子素子と静電気対策用
導体パターンを形成した第1の実施例の詳細な平面図



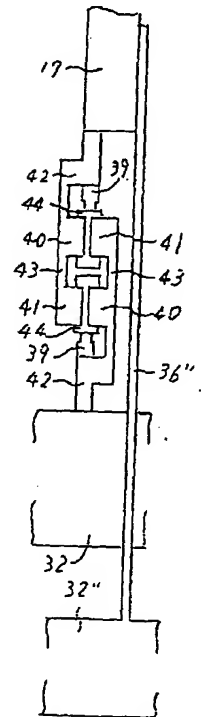
【図16】

ドレインバスラインの同一端に2端子素子と静電気対策用
導体パターンを形成した実施例の詳細な平面図



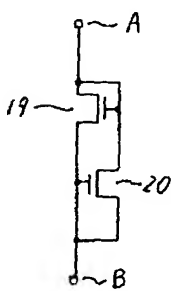
【図18】

図17の2端子素子等の製
造方法の説明図（その1）



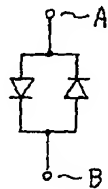
【図25】

図24の高抵抗素子の回路図



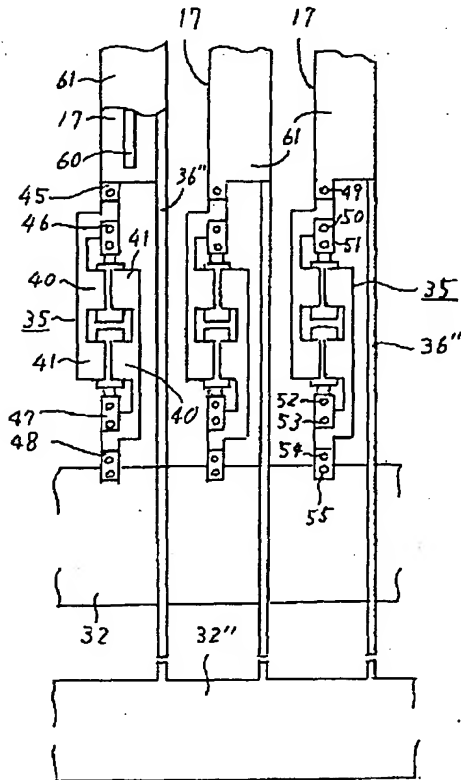
【図26】

図24の高抵抗素子の等価回路図



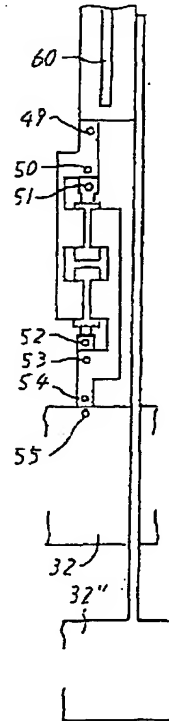
【図17】

ゲートバスラインの同一端に2端子素子と静電気対策用導体パターンを形成した第2の実施例の詳細な平面図



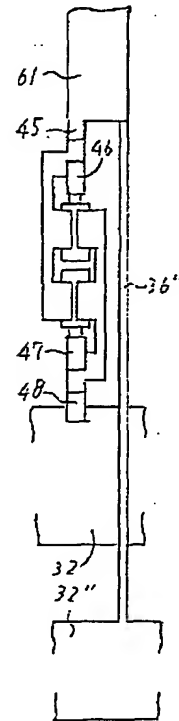
【図19】

図17の2端子素子等の製造方法の説明図（その2）



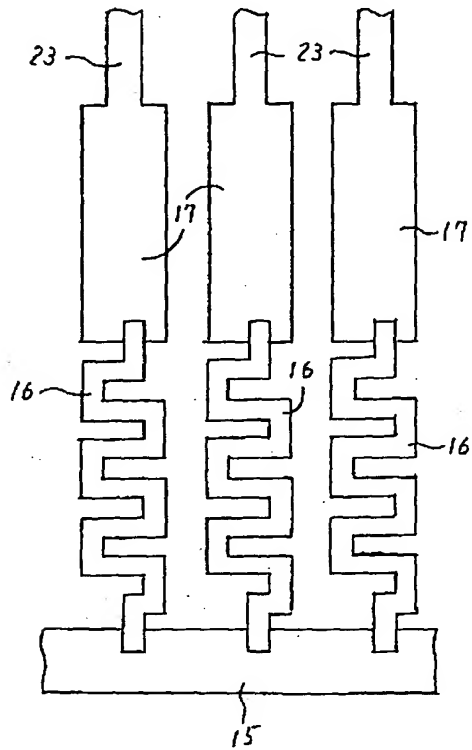
【図20】

図17の2端子素子等の製造方法の説明図（その3）



【図23】

TFTアレイの不良検出用高抵抗素子の説明図（その1）



【図24】

TFTアレイの不良検出用高抵抗素子の説明図（その2）

